

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-076327

(43)Date of publication of application : 14.03.2003

(51)Int.Cl. G09G 3/30
G09F 9/30
G09G 3/20
H05B 33/14

(21)Application number : 2001-268915

(71)Applicant : NEC CORP

(22)Date of filing : 05.09.2001

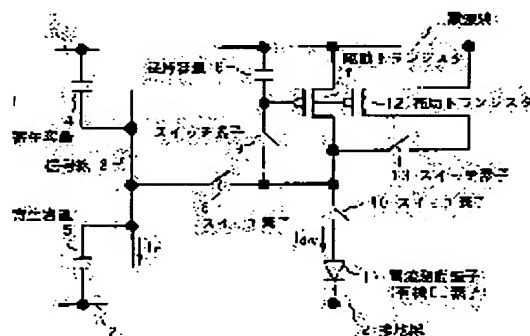
(72)Inventor : IGUCHI KOICHI

(54) DRIVING CIRCUIT OF CURRENT DRIVEN ELEMENT, DRIVING METHOD AND IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the adverse effect caused by a parasitic capacitor connected to a signal line of a driving circuit which drives current driven elements such as organic EL (light emitting) being assembled into an active matrix type image display device or the like and to drive the elements with an appropriate current even though a signal current is minute.

SOLUTION: An auxiliary transistor 12 having an n times current driving capability of a driving transistor 7 is connected to the transistor 7 in parallel. In a portion (an acceleration interval) of a selection interval, a drain current is made to flow in the transistor 12 also and a signal current itself, which flows in a signal line 3, is made to (n+1) times.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-76327

(P2003-76327A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) IntCl. ⁷	識別記号	F I	テマコード(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 D

審査請求 未請求 請求項の数18 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2001-268915(P2001-268915)

(22) 出願日 平成13年9月5日(2001.9.5)

(71) 出願人 00004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井口 康一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム(参考) 3K007 AB11 EB00 GA00

5C080 AA06 BB05 DD01 FF11 FF12

JJ02 JJ03 JJ04 JJ05

5C094 AA21 AA31 BA03 BA29 CA19

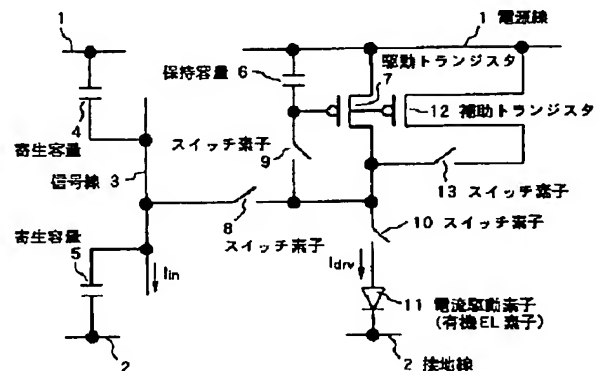
DB04 EA04 EA07

(54) 【発明の名称】 電流駆動素子の駆動回路及び駆動方法ならびに画像表示装置

(57) 【要約】

【課題】 アクティブマトリクス型画像表示装置などに組み込まれ有機EL(発光)素子などの電流駆動素子を駆動する駆動回路において、信号線に接続する寄生容量による影響を軽減して信号電流が微小なときであっても適正な駆動電流で電流駆動素子を駆動できるようにする。

【解決手段】 駆動トランジスタ7と並列に、駆動トランジスタ7のn倍の電流駆動能力を有する補助トランジスタ12を接続し、選択期間の一部(加速期間)において補助トランジスタ12にもドレイン電流が流れるようにするとともに信号線3を流れる信号電流自体も(n+1)倍となるようにする。



【特許請求の範囲】

【請求項 1】 電流駆動素子を駆動する駆動回路であつて、

前記電流駆動素子の駆動電流に対応する信号電流が流れる信号線と、

ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、

前記電源線と前記駆動トランジスタのゲートとの間に設けられた保持容量と、

前記信号線と前記駆動トランジスタのドレインとを接続する第 1 のスイッチ素子と、

前記駆動トランジスタのゲートとドレインを接続する第 2 のスイッチ素子と、

前記駆動トランジスタのドレインと前記電流駆動素子の一端とを接続する第 3 のスイッチ素子と、

前記駆動トランジスタのゲートに接続するゲートと、前記駆動トランジスタのソースに接続するソースと、前記駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、

前記補助トランジスタのソースドレイン間電流をオン／オフする第 4 のスイッチ素子と、

を有する駆動回路。

【請求項 2】 前記第 4 のスイッチ素子は前記駆動トランジスタのドレインと前記補助トランジスタのドレインとの間に挿入されている、請求項 1 に記載の駆動回路。

【請求項 3】 前記電源線と前記信号線とを接続する第 5 のスイッチ素子を有する請求項 1 または 2 に記載の駆動回路。

【請求項 4】 所定の電圧が印加される電圧線と前記信号線とを接続する第 5 のスイッチを有し、接地電位から見た前記所定の電圧の絶対値は前記電源線の電圧の絶対値よりも小さい、請求項 1 または 2 に記載の駆動回路。

【請求項 5】 前記補助トランジスタの電流駆動能力は前記駆動トランジスタの電流駆動能力の n 倍であり、前記信号線に接続された信号電流を発生する第 1 の電流源と、前記第 1 の電流源が生成する信号電流の n 倍の電流を生成する第 2 の電流源と、前記第 2 の電流源を前記信号線に接続する信号線スイッチ素子と、をさらに有する請求項 1 乃至 4 のいずれか 1 項に記載の駆動回路。

【請求項 6】 前記駆動トランジスタ及び前記補助トランジスタが絶縁ゲートを有する同一導電型の薄膜トランジスタである請求項 1 乃至 5 のいずれか 1 項に記載の駆動回路。

【請求項 7】 前記第 1、第 2、第 3 及び第 4 のスイッチ素子はいずれも MOS 電界効果トランジスタからなる請求項 1 乃至 6 のいずれか 1 項に記載の駆動回路。

【請求項 8】 前記電流駆動素子が有機 EL 素子である請求項 1 乃至 7 のいずれか 1 項に記載の駆動回路。

【請求項 9】 電流駆動素子を駆動する駆動方法であつて、

請求項 1 または 2 に記載の駆動回路を使用し、

前記電流駆動素子を選択して該電流駆動素子に対応する信号電流を前記信号線に流す選択期間と、該電流駆動素子を選択しない非選択期間とを交互に設定し、

前記非選択期間においては前記第 1、第 2 及び第 4 のスイッチ素子を遮断状態に維持し、前記第 3 のスイッチ素子を導通状態に維持し、

前記非選択期間から前記選択期間に遷移したときに前記第 1 及び第 2 のスイッチ素子を導通状態に制御し、前記第 3 のスイッチ素子を遮断状態に制御し、

前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記選択期間中に加速期間を設定し、前記加速期間において前記第 4 のスイッチ素子を導通状態とするとともに前記信号線

を流れる信号電流の大きさを $(n+1)$ 倍とし、

前記加速期間の終了後、前記選択期間が終了するまでは、前記第 4 のスイッチ素子を遮断状態とするとともに

前記信号電流の大きさを通常値に戻す、駆動方法。

【請求項 10】 電流駆動素子の駆動方法であつて、請求項 3 または 4 に記載の駆動回路を使用し、

前記電流駆動素子を選択して該電流駆動素子に対応する信号電流を前記信号線に流す選択期間と、該電流駆動素子を選択しない非選択期間とを交互に設定し、

前記非選択期間においては前記第 1、第 2 及び第 4 のスイッチ素子を遮断状態に制御し、前記第 3 のスイッチ素子を導通状態に制御し、

前記非選択期間から前記選択期間に遷移したときに前記第 1 及び第 2 のスイッチ素子を導通状態に制御し、前記第 3 のスイッチ素子を遮断状態に制御し、

前記非選択期間から前記選択期間に遷移したときから所定の時間をリセット期間として、前記リセット期間中は前記第 5 のスイッチ素子を導通状態とし、

前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記リセット期間の経過に引き続いて前記選択期間中に加速期間を設定し、前記加速期間において前記第 4 のスイッチ素子を導通状態とするとともに前記信号線

を流れる信号電流の大きさを $(n+1)$ 倍とし、

前記加速期間の終了後、前記選択期間が終了するまでは、前記第 4 のスイッチ素子を遮断状態とするとともに

前記信号電流の大きさを通常値に戻し、

選択期間のうちリセット期間以外の期間では前記第 5 のスイッチを遮断状態に維持する、

駆動方法。

【請求項 11】 前記加速期間の終了後、前記選択期間が終了する前に前記第 2 のスイッチ素子を遮断状態に遷移させる、請求項 9 または 10 に記載の駆動方法。

【請求項 12】 前記電流駆動素子が有機 EL 素子である請求項 9 乃至 11 のいずれか 1 項に記載の駆動方法。

【請求項 13】 電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であって、前記各発光素子は画素ごとに設けられ、画素の列ごとに設けられ選択された画素の発光素子の駆動電流に対応する信号電流を各画素に与える信号線と、画素の行ごとに設けられ制御信号を伝達する制御線とを有し、前記各画素ごとに、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、前記電源線と前記駆動トランジスタのゲートとの間に設けられた保持容量と、前記制御信号に応じて前記信号線と前記駆動トランジスタのドレインとを接続する第 1 のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのゲートとドレインを接続する第 2 のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのドレインと前記発光素子の一端とを接続する第 3 のスイッチ素子と、前記駆動トランジスタのゲートに接続するゲートと、前記駆動トランジスタのソースに接続するソースと、前記駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、前記制御信号に応じて前記補助トランジスタのソースドレイン間電流をオン／オフする第 4 のスイッチ素子と、を有する、画像表示装置。

【請求項 14】 画素の行を選択して該行に属する発光素子に対応する信号電流を前記信号線に流す選択期間と、該行を選択しない非選択期間とが交互に設定され、前記非選択期間においては前記第 1、第 2 及び第 4 のスイッチ素子が遮断状態に維持され、前記第 3 のスイッチ素子が導通状態に維持され、前記非選択期間から前記選択期間に遷移したときに前記第 1 及び第 2 のスイッチ素子が導通状態に制御され、前記第 3 のスイッチ素子が遮断状態に制御され、前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記選択期間中に加速期間が設定され、前記加速期間において前記第 4 のスイッチ素子が導通状態とされるとともに前記信号線を通る信号電流の大きさが $(n+1)$ 倍とされ、前記加速期間の終了後、前記選択期間が終了するまでは、前記第 4 のスイッチ素子が遮断状態とされるとともに前記信号電流の大きさを通常値に戻される、請求項 13 に記載の画像表示装置。

【請求項 15】 電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であって、前記各発光素子は画素ごとに設けられ、画素の列ごとに設けられ選択された画素の発光素子の駆

動電流に対応する信号電流を各画素に与える信号線と、画素の行ごとに設けられ制御信号を伝達する制御線とを有し、前記各画素ごとに、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、前記電源線と前記駆動トランジスタのゲートとの間に設けられた保持容量と、前記制御信号に応じて前記信号線と前記駆動トランジスタのドレインとを接続する第 1 のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのゲートとドレインを接続する第 2 のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのドレインと前記発光素子の一端とを接続する第 3 のスイッチ素子と、前記駆動トランジスタのゲートに接続するゲートと、前記駆動トランジスタのソースに接続するソースと、前記駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、前記制御信号に応じて前記補助トランジスタのソースドレイン間電流をオン／オフする第 4 のスイッチ素子と、を有し、前記信号線ごとに、前記信号線を所定の電位に接続する第 5 のスイッチ素子を有する、画像表示装置。

【請求項 16】 画素の行を選択して該行に属する発光素子に対応する信号電流を前記信号線に流す選択期間と、該行を選択しない非選択期間とが交互に設定され、前記非選択期間においては前記第 1、第 2 及び第 4 のスイッチ素子は遮断状態に維持され、前記第 3 のスイッチ素子は導通状態に維持され、前記非選択期間から前記選択期間に遷移したときに前記第 1 及び第 2 のスイッチ素子は導通状態に制御され、前記第 3 のスイッチ素子は遮断状態に制御され、前記非選択期間から前記選択期間に遷移したときから所定の時間をリセット期間として、前記第 5 のスイッチ素子は前記リセット期間中のみ導通状態とされ、前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記リセット期間の経過に引き続いて前記選択期間中に設定される加速期間において前記第 4 のスイッチ素子が導通状態とされるとともに前記信号線を通る信号電流の大きさが $(n+1)$ 倍とされ、前記加速期間の終了後、前記選択期間が終了するまでは、前記第 4 のスイッチ素子は遮断状態とされるとともに前記信号電流の大きさを通常値に戻さ、前記選択期間のうち前記リセット期間以外の期間では前記第 5 のスイッチは遮断状態に維持される、請求項 15 に記載の画像表示装置。

【請求項 17】 前記加速期間の終了後、前記選択期間

が終了する前に前記第2のスイッチ素子は遮断状態に遷移するよう制御させる、請求項14または16に記載の画像表示装置。

【請求項18】 前記発光素子が有機EL素子である請求項13乃至17のいずれか1項に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機EL（エレクトロルミネッセンス）素子などの電流駆動型の素子を駆動する駆動回路及び駆動方法と、このような電流駆動回路が組み込まれるとともに発光素子として電流駆動型の素子を使用する画像表示装置とに関する。

【0002】

【従来の技術】近年、コンピュータの出力装置や携帯電話機などに用いられる画像表示装置として、有機EL素子などの電流駆動型の発光素子を用いたものが注目を集めている。有機EL素子は、有機発光ダイオードとも呼ばれ、直流で駆動できるという利点を有している。有機EL素子を画像表示装置に用いる場合、画素ごとの有機EL素子を基板上にマトリクス状に配置して表示パネルを構成するのが一般的である。そして、この基板上にTFT（薄膜トランジスタ；thin film transistor）を形成し、TFTを介して各画素の有機EL素子を駆動する、アクティブマトリクス型の構成が検討されている。

【0003】ところで、有機EL素子は電流駆動型の素子であるため、有機EL素子をTFTで駆動する場合、電圧駆動型の素子である液晶セルを用いるアクティブマトリクス型液晶表示装置と同じ回路構成を用いることはできない。そこで従来より、有機EL素子とMOS（metal-oxide-semiconductor）トランジスタであるTFTとを直列に接続して電源線と接地線との間に挿入し、TFTのゲートに制御電圧を印加できるようにするとともに、この制御電圧を保持する保持コンデンサをTFTのゲートに接続し、さらに、各画素に対して制御電圧を印加するための信号線とTFTとの間にスイッチ素子を設けたアクティブマトリクス駆動回路が提案されている。この回路では、信号線上に各画素に対する制御電圧を時分割形態で出力するとともに、各スイッチ素子は、対応する画素に対する制御電圧が出力されているタイミングのみ導通状態となるように制御される。その結果、スイッチ素子が導通状態になれば、そのときの制御電圧がTFTのゲートに印加されて制御電圧に応じた電流が有機EL素子を流れるようになるとともに、保持コンデンサがその制御電圧で充電される。この状態でスイッチ素子が遮断状態に遷移すれば、保持コンデンサの作用により、既に印加されている制御電圧がTFTのゲートに印加され続けることとなり、有機EL素子には、その制御電圧に応じた電流が流れ続けることとなる。

【0004】WO99/65011号公報には、上述し

たような回路構成を有し、有機EL素子などの電流駆動素子を駆動するのに適した駆動回路が開示されている。図21は、WO99/65011号公報に開示された駆動回路の構成を示している。ただし、WO99/65011号公報では駆動トランジスタとしてnチャネルMOS電界効果トランジスタを使用しコモンカソードとして電流駆動素子（有機EL素子）を駆動するようにしているが、図21では、駆動トランジスタとしてpチャネルMOS電界効果トランジスタを使用し、コモンアノードとして電流駆動素子を駆動するようにしている。

【0005】図21に示す駆動回路においては、電源線1と接地線2とが設けられており、pチャネルMOSトランジスタである駆動トランジスタ7のソースは電源線1に接続している。駆動トランジスタ7のゲートと電源線1との間に保持容量6が設けられ、駆動トランジスタ7のゲートはスイッチ素子9の一端に接続しドレインはスイッチ素子9の他端に接続する。さらに、駆動トランジスタ7のこのドレインはスイッチ素子10の一端に接続し、スイッチ素子10の他端は電流駆動素子11のアノードに接続する。電流駆動素子11のカソードは接地線2に接続する。ここで、駆動トランジスタ7により電流駆動素子11に流れる電流（駆動電流）を I_{drv} で表すことにする。

【0006】電流駆動素子11を流れる駆動電流 I_{drv} を与えるために、信号線3が設けられている。信号線3はスイッチ素子8の一端に接続し、スイッチ素子8の他端は、駆動トランジスタ7のドレインに接続している。ここで、信号線3を流れる電流を I_{in} で表すことにする。

【0007】スイッチ素子8～10は、いずれも、外部からの制御信号に応じてオン／オフの動作を行うものであって、例えばMOS電界効果トランジスタである。スイッチ素子8～10への制御信号は、不図示の制御信号発生回路によって生成され、この制御信号発生回路の出力端子から不図示の制御線を介してスイッチ素子8～10に与えられる。スイッチ素子8～10がMOS電界効果トランジスタである場合には、制御信号は、電気的には接地電位及び電源電位のいずれかを示す二値の信号であって、それらのMOS電界効果トランジスタのゲートに与えられる。

【0008】図21に示す駆動回路は、1画素分すなわち1個の電流駆動素子11を駆動するための回路である。電流駆動素子11として有機EL素子などを用いた画像表示装置では、上述したように、複数の電流駆動素子11をマトリクス状に配置することとなり、それに伴って、図21に示す駆動回路、特に破線で囲んだ部分も電流駆動素子11ごとに設けるようにする。この場合、電源線1及び接地線2は各駆動回路に共通に設けられ、信号線3は、図示上下方向に並ぶ駆動回路で、すなわち同じ列に属する駆動回路に対して、共通に設けられ

ることになる。ちなみに、上述した制御線は、図示左右方向に並ぶ駆動回路で、すなわち同じ行に属する駆動回路に対して、共通に設けられることになる。

【0009】このようにマトリクス状に電流駆動素子及び駆動回路を配置してアクティブマトリクス型の画像表示装置を構成した場合、駆動回路及び画像表示装置の構造上、信号線3は、絶縁層を挟んで、スイッチ素子8～10を制御するための複数の制御線や複数の電源線1及び接地線2と交差することになり、この交差する部分において、寄生容量が発生することになる。また、電流駆動素子11が有機EL素子である場合、接地線2に接続する電流駆動素子11のカソードと信号線3とが交差する部分の面積が大きく、この交差部分で発生する寄生容量も無視することができない。その結果、図21に示すように、信号線3には、等価的に、電源線1との間に寄生容量4が形成され、接地線2との間には寄生容量5が形成されることになる。この寄生容量4、5の容量値は、画像表示装置の画素数や構造等にも依存するが、例えば、画素ごとの保持容量6の容量値の例えば10倍以上の大きさのものである。

【0010】次に、図21に示した従来の駆動回路の動作について説明する。ここでは、複数の電流駆動素子11をマトリクス状に配するとともに各電流駆動素子11ごとに駆動回路を設けたものとして、動作を説明する。

【0011】制御信号発生回路は、各行が1行ずつ順番に選択されるように制御信号を生成し、制御線を介して各駆動回路のスイッチ素子8～10に制御信号を送出する。一方、列ごとの信号線3には、制御信号に同期するようにして、選択された行に属する各駆動回路に対する信号電流 I_{in} が流される。その結果、選択された行の各駆動回路の駆動トランジスタ7には、それぞれ、対応する信号電流 I_{in} が流れ、この信号電流に対応する電位が保持容量6に保持されるようになる。そして、これらの駆動回路は、制御信号が次の行を選択したために非選択状態となった場合には、次に選択状態となるまで、保持容量6に保持された電圧に基づいて、信号電流 I_{in} と同じ駆動電流 I_{drv} で電流駆動素子11を駆動し続ける。

【0012】図22は、このような駆動回路の動作をタイミングチャートとして表現したものである。まず、選択期間中の駆動回路の動作を詳しく説明する。

【0013】ある行の駆動回路が選択期間になると、まず、スイッチ素子8、9を導通状態とし、スイッチ素子10を遮断状態とする。選択期間の先頭の所定の短い期間をリセット期間とし、このリセット期間中は、信号線3の電位を例えば電源電位とし、信号線3の電位及び駆動トランジスタ7の電位を電源電位までリセットすることが好ましい。リセット期間の経過後、信号線3に、電流駆動素子11に流すべき電流と等しい信号電流 I_{in} を流すようにする。リセット期間中も信号線3に信号電流 I_{in} が流れるようにしてもよい。

【0014】図示した例では、信号電流 I_{in} は、駆動トランジスタ7のドレインから信号線3に向けて流れ出すドレイン電流と、寄生容量4及び保持容量6の充電電流と、寄生容量5の放電電流との和で表される。リセット期間が終了し信号電流 I_{in} が流れ出すと、信号電流 I_{in} によって寄生容量4及び保持容量6が充電され、寄生容量5が放電され、最終的には信号電流 I_{in} に等しいドレイン電流に対応するゲートソース間電位となるように、駆動トランジスタ7のゲート電位は徐々に低下する。

【0015】信号電流 I_{in} が十分に大きい場合には、寄生容量4及び保持容量6の充電と寄生容量5の放電とが急速になされるため、選択期間中に駆動トランジスタ7のドレイン電流は信号電流 I_{in} に到達し、保持容量6の両端の電圧は、この信号電流 I_{in} に等しいドレイン電流を生ずるような値となる。これに対し、信号電流 I_{in} が小さい場合には、選択期間中には寄生容量4及び保持容量6の充電と寄生容量5の放電とが完了せず、したがって、駆動トランジスタ7のドレイン電流も信号電流 I_{in} に到達せず、また、駆動トランジスタ7のゲートソース間電位も、信号電流 I_{in} と等しいドレイン電流に対応する値まで達しない。

【0016】選択期間が終了し非選択期間になると、非選択期間の開始時点において、スイッチ素子8、9を導通状態から遮断状態に変化させ、スイッチ素子10を遮断状態から導通状態に変化させる。その結果、駆動トランジスタ7が電流駆動素子11に駆動電流 I_{drv} を供給するようになる。駆動トランジスタ7のゲートは信号線3から切り離されるので、保持容量6の作用により、駆動トランジスタ7のゲート電位は非選択期間に入る直前に確定した値で保持される。選択期間中の信号電流 I_{in} が十分に大きい場合には、駆動トランジスタ6のゲート電位は、信号電流 I_{in} に等しいドレイン電流に対応する値で確定しているから、電流駆動素子11には、信号電流 I_{in} に等しい駆動電流 I_{drv} が流れ続けることになる。これに対し、選択期間中の信号電流 I_{in} が小さい場合には、駆動トランジスタ7のゲート電位は、信号電流 I_{in} に等しいドレイン電流を流すような値にまで到達していないから、電流駆動素子11には、信号電流 I_{in} とは異なる駆動電流 I_{drv} が流れ続けることとなる。

【0017】図23は、図21に示す駆動回路における信号電流（入力信号） I_{in} と駆動電流 I_{drv} との関係を示すグラフである。電流駆動素子11として有機EL素子を用いているのであれば、入力する信号電流 I_{in} と輝度との関係を示していることになる。図において、理想値を破線で示し、実際の信号電流－駆動電流の関係を実線で示している。このように、従来の駆動回路では、信号電流 I_{in} が小さい領域でそれに対応する駆動電流が得られないことが分かる。

【0018】

【発明が解決しようとする課題】以上説明したように従来の駆動回路では、寄生容量や保持容量の充放電にかかる時間のために、入力信号（信号電流）が小さい場合に所定の駆動電流が得られず、画像表示装置に応用した場合には所定の輝度が得られないこととなる。特に有機EL素子を用いた画像表示装置にこの駆動回路を適用した場合、1画素分の有機EL素子に流れる電流は微小であるので、表示画像の劣化が生じ、また、輝度制御性が悪化する。

【0019】そこで本発明の目的は、アクティブマトリクス駆動に適し、信号電流（入力信号）が微小なときでも適正な駆動電流を出力することができる駆動回路及び駆動方法と、このような駆動回路を有する画像表示装置とを提供することにある。

【0020】

【課題を解決するための手段】本発明の駆動回路は、電流駆動素子を駆動する駆動回路であって、電流駆動素子の駆動電流に対応する信号電流が流れる信号線と、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、電源線と駆動トランジスタのゲートとの間に設けられた保持容量と、信号線と駆動トランジスタのドレインとを接続する第1のスイッチ素子と、駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、駆動トランジスタのドレインと電流駆動素子の一端とを接続する第3のスイッチ素子と、駆動トランジスタのゲートに接続するゲートと、駆動トランジスタのソースに接続するソースと、駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、補助トランジスタのソースドレイン間電流をオン/オフする第4のスイッチ素子と、を有する。

【0021】本発明の駆動方法は、上述した本発明の駆動回路を用い、電流駆動素子を選択してその電流駆動素子に対応する信号電流を信号線に流す選択期間と、その電流駆動素子を選択しない非選択期間とを交互に設定し、非選択期間においては第1及び第2のスイッチ素子を遮断状態に制御し、第3のスイッチ素子を導通状態に制御し、非選択期間から選択期間に移したときに第1及び第2のスイッチ素子を導通状態に制御し、第3のスイッチ素子を遮断状態に制御し、駆動トランジスタの電流駆動能力に対する補助トランジスタの電流駆動能力の比を n として、選択期間中に加速期間を設定し、加速期間において第4のスイッチ素子を導通状態とするとともに信号線を通る信号電流の大きさを $(n+1)$ 倍とし、加速期間の終了後、選択期間が終了するまでは、第4のスイッチ素子を遮断状態とするとともに信号電流の大きさを通常値に戻す。

【0022】本発明の画像表示装置は、電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であって、各発光素子は画素ごとに設けられ、画素の列ごとに設けられ選択された画素の発光素子の駆

動電流に対応する信号電流を各画素に与える信号線と、画素の行ごとに設けられ制御信号を伝達する制御線とを有し、各画素ごとに、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、電源線と駆動トランジスタのゲートとの間に設けられた保持容量と、制御信号に応じて信号線と駆動トランジスタのドレインとを接続する第1のスイッチ素子と、制御信号に応じて駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、制御信号に応じて駆動トランジスタのドレインと発光素子の一端とを接続する第3のスイッチ素子と、駆動トランジスタのゲートに接続するゲートと、駆動トランジスタのソースに接続するソースと、駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、制御信号に応じて補助トランジスタのソースドレイン間電流をオン/オフする第4のスイッチ素子と、を有する。

【0023】

【発明の実施の形態】次に本発明の好ましい実施の形態について、図面を参照して説明する。

【0024】第1の実施の形態：図1は、本発明の第1の実施の形態の駆動回路を示す回路図である。図1に示す駆動回路は、図21に示す従来の駆動回路において、駆動トランジスタ7に並列に補助トランジスタ12を設けるとともに、補助トランジスタ12のドレイン電流をオン/オフ制御するためのスイッチ素子13を設けた構成のものである。図1において、図21と同じ参照符号が付与されたものは、図21におけるものと同じ構成要素である。

【0025】すなわち図1に示す駆動回路においては、pチャネルMOSトランジスタである駆動トランジスタ7のソースは電源線1に接続し、駆動トランジスタ7のゲートと電源線1との間に保持容量6が設けられ、駆動トランジスタ7のゲートはスイッチ素子9の一端に接続しドレインはスイッチ素子9の他端に接続する。さらに、駆動トランジスタ7のこのドレインはスイッチ素子10の一端に接続し、スイッチ素子10の他端は電流駆動素子11のアノードに接続する。電流駆動素子11のカソードは接地線2に接続する。ここで、駆動トランジスタ7により電流駆動素子11を流れる電流（駆動電流）を I_{drv} で表すことにする。

【0026】補助トランジスタ12は、駆動トランジスタ7と同様にpチャネルMOSトランジスタで構成されるが、同じゲートソース間電圧を与えたときに、駆動トランジスタ7に比べて n 倍のドレイン電流を流すような特性を有するトランジスタである。すなわち、補助トランジスタ12は、駆動トランジスタの n 倍の電流駆動能力を有するトランジスタである。 n の上限については特に限定されるものではなく、 n は、信号電流 I_{in} の最小値、保持容量6や寄生容量4、5の容量値、選択期間の時間幅などに応じて適宜に定められるものである。典

型的には、 n は5以上とすることが好ましい。ただし、 n を大きくしすぎると、補助トランジスタ12が占める面積が大きくなりすぎ、また、消費電力増にもつながるので、極端に大きな n の値は好ましくない。

【0027】このような補助トランジスタ12は、例えば、駆動トランジスタ7と補助トランジスタ12とを同一の半導体基板上に同一の製造プロセスにより形成するとして、駆動トランジスタ7と同じチャネル長と駆動トランジスタの n 倍のチャネル幅を有するトランジスタとして形成するようにすればよい。あるいは、 n が整数である場合には、駆動トランジスタ7と同一寸法のトランジスタを n 個形成し、各トランジスタのドレイン同士、ゲート同士、ソース同士をそれぞれ接続して実質的に1つの補助トランジスタ12が構成されるようにしてもよい。補助トランジスタ12のソースは電源線1に接続し、ゲートは駆動トランジスタ7のゲートに接続する。そして、補助トランジスタ12のドレインはスイッチ素子13の一端に接続し、このスイッチ素子13の他端は駆動トランジスタ7のドレインに接続する。

【0028】ここで、スイッチ素子13は、補助トランジスタ12のソースドレイン間を流れる電流をオン／オフするためのものであるから、電源線1と補助トランジスタ12のソースとの間に設けることも可能である。しかしながら、特にスイッチ素子13としてMOS電界効果トランジスタを使用する場合、スイッチ素子13のオン抵抗による電圧降下が回路動作に影響を与えるので、スイッチ素子13は、補助トランジスタ12のドレイン側（電源線1でない側）に設けることが好ましい。

【0029】電流駆動素子11を流れる駆動電流 I_{drv} を与えるための信号線3はスイッチ素子8の一端に接続し、スイッチ素子8の他端は、駆動トランジスタ7のドレインに接続している。信号線3を流れる電流を I_{in} で表すことにする。

【0030】スイッチ素子8～10、13は、いずれも、外部からの制御信号に応じてオン／オフの動作を行うものであって、例えば、MOS電界効果トランジスタである。スイッチ素子8～10、13への制御信号は、図1には不図示の制御信号発生回路によって生成され、この制御信号発生回路の出力端子から制御線を介してスイッチ素子8～10、13に与えられる。スイッチ素子8～10、13がMOS電界効果トランジスタである場合には、制御信号は、電気的には接地電位及び電源電位のいずれかを示す二値の信号であって、それらのMOS電界効果トランジスタのゲートに与えられる。スイッチ素子8～10、13としてMOS電界効果トランジスタを使用する場合、 p チャネル型を用いるか n チャネル型を用いるかはスイッチ素子ごとに適宜に定められるものである。

【0031】図1に示す駆動回路は1画素（ピクセル）分すなわち1個の電流駆動素子11を駆動するための回

路であるが、電流駆動素子11として有機EL素子などを用いた画像表示装置を構成する場合には、上述したように複数の電流駆動素子11をマトリクス状に配置するとともに、この駆動回路も、特に破線で囲んだ部分も電流駆動素子11ごとに設けるようにする。図2は、複数の電流駆動素子11をマトリクス状に配列するとともに、各電流駆動素子11ごとに駆動回路を設けた構成の画像表示装置を説明する回路図である。通常、画像表示装置は縦横それぞれ数百から数千画素の大きさのものであるが、ここでは説明のため、縦2画素×横2画素の範囲が描かれている。

【0032】図2に示す構成では、駆動トランジスタ7及び補助トランジスタ12は、基板上に、同一導電型の薄膜トランジスタとして形成されている。また、スイッチ素子8、9は、 p チャネルMOS電界効果トランジスタであり、スイッチ素子10、13は、 n チャネルMOS電界効果トランジスタであるものとする。スイッチ素子8、9は、いずれも、薄膜トランジスタとして基板上に形成されることが好ましい。

【0033】この画像表示装置では、電源線1及び接地線2は各駆動回路に共通に設けられ、信号線3は、図示上下方向に並ぶ駆動回路で、すなわち同じ列に属する駆動回路に対して、共通に設けられている。各信号線3の一端（図示下端）には、それぞれ、信号電流発生回路21が接続されている。また、各行ごとに、その行に属する駆動回路に対して供給される制御信号を発生する制御信号発生回路22が設けられている。

【0034】信号電流発生回路21には、接地線2に接続して信号電流 I_{in} を発生する信号源23と、接地線2に接続し、信号源23が発生する信号電流 I_{in} の n 倍の電流 $n \times I_{in}$ を発生する信号源24と、 n チャネルMOS電界効果トランジスタなどで構成されたスイッチ素子16と、を備えている。信号源23は信号線3に直接接続しているのに対し、信号源24は、スイッチ素子16を介して信号線3に接続している。スイッチ素子16を制御するために制御線30が設けられている。それぞれの信号電流発生回路21のスイッチ素子16のゲートは、共通に制御線30に接続している。このような構成のものにおいては、信号線3には、スイッチ素子16がオン状態であれば $(n+1) \times I_{in}$ の信号電流が流れ、スイッチ素子16がオフ状態であれば I_{in} の信号電流が流れることになる。制御線30上には、不図示の制御回路により、後述する加速期間に対応してスイッチ素子16を導通状態とする制御信号が出力される。

【0035】制御信号発生回路22には、対応する行に属する各駆動回路のスイッチ素子8～10に対して供給される制御信号を出力する信号ドライバ25と、対応する行に属する各駆動回路のスイッチ素子13に対して供給される制御信号を出力する信号ドライバ26と、を備えている。また、画像表示装置の各行ごとに、制御線3

1, 32が設けられている。制御線31は、信号ドライバ25に接続し、信号ドライバ25からの制御信号をMOS電界効果トランジスタであるその行の各スイッチ素子8~10のゲートに供給する。同様に、制御線32は、信号ドライバ26に接続し、信号ドライバ26からの制御信号をその行の各スイッチ素子13のゲートに供給する。したがって制御線31, 32は、行方向（図示左右方向）に延びることになる。なお、各信号ドライバ25, 26の他端は接地線2に接続している。信号ドライバ25は、対応する行に対する選択期間に応じてその行のスイッチ素子8, 9を導通状態とし、スイッチ素子10を遮断状態とするような制御信号を発生する。信号ドライバ26は、対応する行に対する加速期間に応じて、その行のスイッチ素子13を導通状態とするような制御信号を発生する。

【0036】このようにマトリクス状に電流駆動素子及び駆動回路を配置してアクティブマトリクス型の画像表示装置を構成した場合、駆動回路及び画像表示装置の構造上、図21に示したものの場合と同様に、信号線3には、等価的に、電源線1との間に寄生容量4が形成され、接地線2との間には寄生容量5が形成されることになる。

【0037】次に、図1に示した駆動回路の動作について説明する。図1に示す駆動回路は、通常の場合、図2に示すような画像表示装置に組み込まれて使用されるから、ここでは、図2に示す画像表示装置において駆動回路が用いられているものとして、駆動回路の動作を説明する。

【0038】各制御信号発生回路22は不図示の制御回路によって制御されており、それぞれの制御信号発生回路22は、画像表示装置における各行が1行ずつ順番に選択されるように制御信号を制御線31, 32上に出力する。画像表示装置におけるある行について、制御信号によってその行が選択されている期間のことを選択期間と呼び、選択されていない期間のことを非選択期間と呼ぶ。画像表示装置の各行は、順番に選択されるから、ある行について考えると、選択期間は定期的・周期的に訪れることとなり、選択期間の占める割合は、画像表示装置における行の数をNとすると、 $1/N$ 程度となる。また、ある行の選択期間中に、列ごとの信号線3では、その信号線3の一端に設けられた信号電流発生回路21において、その列における当該行の電流駆動素子11に流すべき駆動電流 I_{drv} に対応する信号電流 I_{in} が発生し、その信号線3には信号電流 I_{in} が流れるようになる。その結果、選択された行の各駆動回路の駆動トランジスタ7には、それぞれ、対応する信号電流 I_{in} が流れ、この信号電流に対応する電位が保持容量6に保持される。これらの駆動回路は、制御信号が次の行を選択したために非選択状態となった場合には、次に選択状態となるまで、保持容量6に保持された電圧に基づいて、信

号電流 I_{in} と同じ駆動電流 I_{drv} で電流駆動素子11を駆動し続ける。

【0039】特に本実施の形態の回路では、選択期間の最初の方のある所定の時間帯において、補助トランジスタ12にも電流が流れるようにするとともに、信号線3に $(1+n) \cdot I_{in}$ の電流を流して信号線3に付随する寄生容量4, 5の充放電が速やかに行われるようにし、選択期間の終了時点にまでに、駆動トランジスタ7のドレイン電流が信号電流 I_{in} に確実に到達して、駆動トランジスタ7のゲートソース間電位も、信号電流 I_{in} と等しいドレイン電流に対応する値に到達するようにしている。

【0040】以下、駆動回路の動作を説明するタイミングチャートである図3を用いて、上述した動作をさらに詳しく説明する。

【0041】ある行についての選択期間に入ると、制御信号発生回路22から制御線31を介して伝達される制御信号により、その選択期間で選択される行の駆動回路において、pチャネルMOS電界効果トランジスタであるスイッチ素子8, 9が導通状態とされ、nチャネルMOS電界効果トランジスタであるスイッチ素子10が遮断状態とされる。スイッチ素子13, 16については、遮断状態を維持したままとする。このとき、信号電流発生回路21内の電流源23のみが信号線3に接続することとなるので、信号線3には、選択された行に対する信号電流 I_{in} が流れることになる。

【0042】図3に示した例では、選択期間の先頭の所定の短い期間をリセット期間とし、このリセット期間中は、信号線3の電位を例えば電源電位とすることによって、リセット期間の経過後に、寄生容量4及び保持容量6の充電と寄生容量5の放電とが滞りなく行われるようにしている。寄生容量4及び保持容量6の充電と寄生容量5の放電とを考慮して、信号線3に信号電流 I_{in} を流すことによって速やかに駆動トランジスタ7のゲートソース間電圧を信号電流 I_{in} に応じた値とすることができるのであれば、リセット期間を設けなくてもよい。また、リセット期間中は、信号線3において信号電流を流さないようにしてもよい。

【0043】リセット期間の経過後、所定の時間（この所定の時間の期間のことを以下、加速期間と呼ぶ）だけ、スイッチ素子13及びスイッチ素子16を導通状態とする。スイッチ素子16が導通状態となった結果、信号電流発生回路21内の電流源14にも電流が流れるようになり、信号線3には、 $(n+1) \cdot I_{in}$ の電流、すなわち、電流駆動素子11に流すべき電流値の $(n+1)$ 倍の電流が流れることになる。このときスイッチ素子13も導通状態なので、この電流は、駆動トランジスタ7と補助トランジスタ12とに分流して流れることとなり、駆動トランジスタ7と補助トランジスタ12の上述した特性の差により、補助トランジスタ12には、駆

動トランジスタ 7 に流れるドレイン電流の n 倍のドレイン電流が流れることになる。図 21 に示す従来の駆動回路と比較すると、加速期間中は、信号線 3 を流れる電流は $(n+1)$ 倍となっており、この $(n+1)$ 倍の信号電流によって、寄生容量 4 及び保持容量 6 の充電と寄生容量 5 の放電とが急速に進行することとなる。それにより、駆動トランジスタ 7 のドレイン電流は信号電流 I_{in} に近づき、補助トランジスタ 12 のドレイン電流は $n \cdot I_{in}$ に近づく。このとき、駆動トランジスタ 7 と補助トランジスタ 12 のゲート電位は、駆動トランジスタ 7 のソースドレイン間に信号電流 I_{in} を流したときに発生する電位に十分に近い電位となる。このときの電位と駆動トランジスタ 7 に信号電流 I_{in} を流したときに発生する電位との差電位は、上記各容量の充放電が完全には終了していないために発生する電位と、駆動トランジスタ 7 を流れる電流と補助トランジスタ 12 を流れる電流との比 n の誤差とによるものである。

【0044】加速期間は選択期間が終了するよりも早く終了するが、 n の値を十分に大きくした場合には、加速期間の終了時には、たとえ信号電流 I_{in} の値が小さい場合であっても寄生容量 4 及び保持容量 6 の充電と寄生容量 5 の放電とはほぼ完了しており、上記の差電位は、主に、駆動トランジスタ 7 と補助トランジスタ 12 を流れる電流の比 n の誤差に起因することとなる。このときの差電位は、数十 mV から数百 mV 程度の小さな値となる。

【0045】加速期間の終了とともに、スイッチ素子 13、16 をともに遮断状態とする。その結果、信号線 3 を流れる電流は I_{in} となり、補助トランジスタ 12 には電流が流れなくなる。上述したように、加速期間の終了時点での差電位は数十 mV から数百 mV 程度と小さい値であるので、加速期間が終了した後の選択期間の残余の期間中に信号線 3 に信号電流 I_{in} を流すだけで、差電位を減殺することが可能となり、選択期間の終了時までには、駆動トランジスタ 7 のゲート電位は、信号電流 I_{in} に対応した値となる。

【0046】加速期間の長さは、適宜に設定されるものであるが、例えば、選択期間の長さの 10～50% 程度の時間長に設定する。

【0047】次に、非選択期間中の駆動回路の動作を説明する。

【0048】選択期間から非選択期間に遷移した時点において、スイッチ素子 8、9 を導通状態から遮断状態とし、スイッチ素子 10 を遮断状態から導通状態とする。スイッチ素子 8、9 を遮断状態とすることで、先に選択期間中に確定した駆動トランジスタ 7 のゲート電位は、保持容量 6 によって保持されることになる。よって、スイッチ素子 8、9、13 が遮断状態でスイッチ素子 10 が導通状態に保持されている非選択期間中は、駆動トランジスタ 7 は、保持容量 6 に保持されたゲート電位に対

応した電流、すなわち信号電流 I_{in} に等しい電流を駆動電流 I_{drv} として電流駆動素子 11 に流し続けるようにする。

【0049】図 4 は、この実施の形態における駆動トランジスタ 7 及び補助トランジスタ 12 におけるゲートソース間電位とドレイン電流（ソースドレイン間電流）との関係を示した特性図である。駆動トランジスタ 7 におけるドレイン電流が I_1 であるようなゲートソース間電圧を補助トランジスタ 12 に与えた場合、補助トランジスタ 12 のドレイン電流は $n \cdot I_1$ となり、同様に、駆動トランジスタ 7 におけるドレイン電流が I_2 （ただし $I_1 > I_2$ ）であるようなゲートソース間電圧を補助トランジスタ 12 に与えた場合、補助トランジスタ 12 のドレイン電流は $n \cdot I_2$ となることが分かる。

【0050】このように、選択期間の（リセット期間を除いた）最初の部分、典型的には選択期間の前半部分を加速期間とし、加速期間中は信号線 3 を流れる電流を本来の信号電流 I_{in} の $(n+1)$ 倍とするとともに、駆動トランジスタ 7 の n 倍の駆動能力を有する補助トランジスタを加速期間中は導通状態とすることにより、寄生容量 4 及び保持容量 6 の充電と寄生容量 5 の放電とが急速に進行して、従来のものに比べ、信号電流 I_{in} が小さい場合などであっても、駆動トランジスタ 7 のゲート電位が早期に本来の値（信号電流 I_{in} に対応するゲートソース間電位に対応する値）に到達するようになり、意図した駆動電流で電流駆動素子 11 が駆動されるようになる。したがって、駆動電流 I_{drv} が信号電流 I_{in} と一致しないことによる表示画像の劣化や輝度制御性の悪化は生じないこととなる。

【0051】図 5 は、この駆動回路における信号電流 I_{in} （入力信号）と駆動電流 I_{drv} （電流駆動素子 11 が有機 EL 素子などであれば輝度）との関係を示すグラフである。従来の回路における信号電流 I_{in} と駆動電流 I_{drv} との関係を示すグラフ（図 23 参照）と比べると、この実施の形態の駆動回路によれば、信号電流 I_{in} が小さい領域でも、信号電流 I_{in} と駆動電流 I_{drv} とが線形な関係を維持していることが分かる。

【0052】次に、この第 1 の実施の形態の駆動回路の変形例を説明する。

【0053】上述した駆動回路では、選択期間から非選択期間に遷移するときに、スイッチ素子 8 及びスイッチ素子 9 が同時に導通状態から遮断状態に変化しているが、保持容量 6 におけるゲート電位の保持をより確実なものとするために、選択期間から非選択期間への遷移に先立って、スイッチ素子 9 を導通状態から遮断状態に変化させることも可能である。図 6 は、そのような駆動回路を含む画像表示装置を示す回路図であり、図 7 は、図 6 に示す回路の動作を示すタイミングチャートである。

【0054】この回路は、図 1 及び図 2 に示す回路と比べ、制御信号発生回路 22 内に信号ドライバ 27 を追加

し、この信号ドライバ 27 から制御線 33 を介して対応する行の駆動回路内のスイッチ素子 9 のゲートに対して制御信号を供給するようにしたものである。したがって、制御線 32 には、スイッチ素子 8、10 のゲートのみが接続する。信号ドライバ 27 は、非選択区間から選択区間への遷移と同時にスイッチ素子 9 を遮断状態から導通状態に変化させ、図 7 に示すように、加速区間の終了後、選択区間から非選択区間への選択よりも少し前にスイッチ素子 9 を導通状態から遮断状態に変化させるような制御信号を生成する。このように構成することにより、非選択期間に移行する前に確実に保持容量 6 を信号線 3 から切り離すことができ、保持容量 6 に設定されたゲート電位を確実に非選択期間が終了するまで保持できるようになる。スイッチ素子 9 を遮断状態とするタイミングは、駆動トランジスタ 7 のゲート電位が、信号電流 I_{in} と一致するドレイン電流を発生するゲートソース間電圧まで低下した後であればよい。

【0055】図 8 は、第 1 の実施の形態の駆動回路のさらに別の例を示している。上述した回路では、電流駆動素子 11 として有機 EL 素子を用いる場合にその有機 EL 素子をコモンカソードで使用するものとし、駆動トランジスタ 7 及び補助トランジスタ 12 として p チャネル MOS 電界効果トランジスタを使用していたが、図 8 に示す回路は、有機 EL 素子をコモンアノードで、すなわち電流駆動素子 11 である有機 EL 素子のアノードを電源線 1 に直接接続し、その代わりに、有機 EL 素子のカソード側にそれぞれ n チャネル MOS 電界効果トランジスタである駆動トランジスタ 7 及び補助トランジスタ 12 を設けた構成のものである。すなわち、電源線 1 と接地線 2 の間で、各素子の配置を反転させるとともに、駆動トランジスタ 7 及び補助トランジスタ 12 の導電型も反転させたものである。この場合、信号電流 I_{in} は、信号線 3 からスイッチ素子 8、駆動トランジスタ 7 を経て接地線 2 に流れ込むことになる。スイッチ素子 8 ~ 10、13 として MOS 電界効果トランジスタを用いるのであれば、その導電型は図 1 及び図 2 に示した回路におけるものと反転させることが好ましい。

【0056】図 8 に示す回路の動作は、極性などが反転するほかは、図 1 に示した回路と同様である。

【0057】第 2 の実施の形態：次に、本発明の第 2 の実施形態について説明する。図 9 は、この実施の形態の駆動回路を示す回路図であり、図 10 は、図 9 に示す駆動回路を用い、複数の電流駆動素子 11 をマトリクス状に配列するとともに、各電流駆動素子 11 ごとに駆動回路を設けた構成の画像表示装置を説明する回路図である。図 9 及び図 10 において、図 1 及び図 2 と同じ参照符号が付与されたものは、図 1 及び図 2 におけるものと同じ構成要素である。

【0058】この実施の形態の回路は、図 1 及び図 2 に示す回路において、リセット期間中に信号線 3 の電位を

強制的に電源線 1 の電位に設定するためのスイッチ素子 14 を設けたものである。スイッチ素子 14 は、信号線 3 ごとに設けられており、したがって、同じ列の駆動回路が 1 個のスイッチ素子 14 を共有する形態となる。スイッチ素子 14 は、図 10 に示すように、例えば、ソースが電源線 1 に接続し、ドレインが信号線 3 に接続する p チャネル MOS 電界効果トランジスタによって構成される。各スイッチ素子 14 のゲートは、共通に制御線 34 に接続している。この制御線 34 には、不図示の制御回路により、リセット期間の間だけスイッチ素子 14 を導通状態とするような制御信号が出力される。

【0059】図 11 は、図 9 及び図 10 に示す回路の動作を説明するタイミングチャートである。このタイミングチャートから明らかなように、リセット期間中は、スイッチ素子 14 が導通状態となることによって、信号線 3 が電源線 1 の電位となり、駆動トランジスタ 7 及び補助トランジスタ 12 のゲート電位も電源線 1 の電位となる。リセット期間の終了後、加速期間においては、信号線 3 を介して接地線 2 側に電流 $(n+1) \cdot I_{in}$ が流れ、寄生容量 4 及び保持容量 6 が充電され寄生容量 5 が放電することにより、駆動トランジスタ 7 及び補助トランジスタ 12 のゲート電位は、電源線 1 の電位から低下し、信号電流 I_{in} に対応する電位にほぼ到達する。その他の動作については、図 3 に示したタイミングチャートの場合と同様である。

【0060】本発明で扱うような駆動回路では、駆動回路から接地線 2 に向けて信号電流が流れるように構成されているので、選択期間において駆動トランジスタ 7 のゲート電位が信号電流 I_{in} に対応する電位よりも低下している場合に、このゲート電位が信号電流 I_{in} に対応する電位にまで上昇するのにかなりの時間がかかることが予想される。そこでこの実施形態では、リセット期間内に、駆動トランジスタ 7 のゲート電位を回路内での最高電位である電源線 1 の電位にプルアップすることにより、速やかにゲート電位を信号電流 I_{in} に対応する電位に到達させることができる。

【0061】上述した第 2 の実施形態の回路においては、第 1 の実施形態において図 6 及び図 7 により説明したように、選択期間から非選択期間から遷移するより少し前にスイッチ素子 9 を導通状態から遮断状態にして、保持容量 6 でのゲート電位の保持を確実にものとすることができる。図 12 は、そのような駆動回路を含む画像表示装置を示す回路図であり、図 13 は、図 12 に示す回路の動作を示すタイミングチャートである。

【0062】図 14 は、第 2 の実施の形態の駆動回路のさらに別の例を示している。上述した回路では、電流駆動素子 11 として有機 EL 素子を用いる場合にその有機 EL 素子をコモンカソードで使用するものとし、駆動トランジスタ 7 及び補助トランジスタ 12 として p チャネル MOS 電界効果トランジスタを使用していたが、図 1

10

20

30

40

50

4に示す回路では、図8に示した回路と同様に、有機EL素子をコモンアノードで、すなわち電流駆動素子11である有機EL素子のアノードを電源線1に直接接続し、その代わりに、有機EL素子のカソード側にそれぞれnチャネルMOS電界効果トランジスタである駆動トランジスタ7及び補助トランジスタ12を設けている。スイッチ素子8〜10、13などとしてMOS電界効果トランジスタを用いるのであれば、その導電型は図9及び図10に示した回路におけるものと反転させることが好ましい。スイッチ素子14は、リセット期間に信号線3を接地線2に接続して駆動トランジスタ7及び補助トランジスタ12のゲート電位を接地電位に設定する。図14に示す回路の動作は、極性などが反転するほかは図9に示した回路と同様である。

【0063】第3の実施の形態：次に、本発明の第3の実施形態について説明する。図15は、この実施の形態の駆動回路を示す回路図であり、図16は、図15に示す駆動回路を用い、複数の電流駆動素子11をマトリクス状に配列するとともに、各電流駆動素子11ごとに駆動回路を設けた構成の画像表示装置を説明する回路図である。図15及び図16において、図9及び図10と同じ参照符号が付与されたものは、図9及び図10におけるものと同じ構成要素である。第3の実施形態の回路が第2の実施形態の回路と異なる点は、電源線1の電位よりは低い電位の電圧線15が設けられており、スイッチ素子14がリセット期間においてこの電圧線15と信号線3とを接続し、駆動トランジスタ7及び補助トランジスタ12のゲート電位を電圧線15の電位に等しくするように構成されている点である。電圧線15の電位は、駆動トランジスタ7や補助トランジスタ12の特性のばらつきを考慮して、これらのトランジスタの中での最小のしきい値電圧を V_{thmin} とし、電源線3の電位を V_{cc} として、 $V_{cc}-V_{thmin}$ と等しいかこれより大きくなるようにする。すなわち、信号電流 I_{in} の考え得る最小値に対応するゲート電位と等しいかそれよりも高くなるようにする。

【0064】上述した第2の実施の形態では、リセット期間においてスイッチ素子14により駆動トランジスタ7及び補助トランジスタ12のゲート電位を電源線1の電位 V_{cc} になるようにしているが、この実施の形態では、電源線1の電位より小さい電圧線15の電位に設定するようにしている。その結果、この実施の形態では、電源線1の電位と電圧線15の電位との差に相当する分だけ、寄生容量4及び保持容量6を充電し寄生容量5を放電するための電荷量を少なくすることができる。その結果、第2の実施形態に比べ、駆動トランジスタ7及び補助トランジスタ12のゲート電位が、駆動トランジスタのドレイン電流が信号電流 I_{in} となる電位に到達するまでの時間を、より短縮することが可能になる。このことは、リセット期間及び選択期間を短縮できることを意

味し、マトリクス動作によるこの画像表示装置の表示速度を向上できることを意味する。図17は、この第3の実施形態の回路の動作を示すタイミングチャートである。

【0065】上述した第3の実施形態の回路においても、第1の実施形態において図6及び図7により説明したように、選択期間から非選択期間から遷移するより少し前にスイッチ素子9を導通状態から遮断状態にして、保持容量6でのゲート電位の保持を確実なものとすることができる。図18は、そのような駆動回路を含む画像表示装置を示す回路図であり、図19は、図18に示す回路の動作を示すタイミングチャートである。

【0066】図20は、第3の実施の形態の駆動回路のさらに別の例を示している。上述した回路では、電流駆動素子11として有機EL素子を用いる場合にその有機EL素子をコモンカソードで使用するものとし、駆動トランジスタ7及び補助トランジスタ12としてpチャネルMOS電界効果トランジスタを使用していたが、図20に示す回路では、図8に示した回路と同様に、有機EL素子をコモンアノードで、すなわち電流駆動素子11である有機EL素子のアノードを電源線1に直接接続し、その代わりに、有機EL素子のカソード側にそれぞれnチャネルMOS電界効果トランジスタである駆動トランジスタ7及び補助トランジスタ12を設けている。スイッチ素子8〜10、13などとしてMOS電界効果トランジスタを用いるのであれば、その導電型は図15及び図16に示した回路におけるものと反転させることが好ましい。また、電圧線15には、接地線2の電位よりも少し高い電位を印加する。具体的には、電圧線15の電位は、駆動トランジスタ7や補助トランジスタ12の特性のばらつきを考慮し、これらのトランジスタの中での最小のしきい値電圧を V_{thmin} として、この V_{thmin} より等しいかそれより小さい電位とする。スイッチ素子14は、リセット期間に信号線3を電圧線15に接続して駆動トランジスタ7及び補助トランジスタ12のゲート電位を接地電位よりやや高い電圧に設定する。図20に示す回路の動作は、極性などが反転するほかは図15に示した回路と同様である。

【0067】以上、本発明の好ましい実施の形態について、駆動トランジスタ7及び補助トランジスタ12が、好ましくは薄膜トランジスタとして設けられた、MOS電界効果トランジスタであるものとして説明したが、本発明はこれに限定されるものではなく、駆動トランジスタ7及び補助トランジスタ12として、同一導電型の絶縁ゲートトランジスタを用いることができる。もちろん、画像表示装置への応用を考慮した場合、駆動トランジスタ7及び補助トランジスタ12は、薄膜トランジスタであることが好ましい。また、各スイッチ素子としてMOS電界効果トランジスタを用いたものを説明したが、本発明はこれに限定されるものではなく、トランス

ファグートなどの他の種類のスイッチ素子を使用することができる。

【0068】

【発明の効果】以上説明したように本発明は、駆動トランジスタと並列に、駆動トランジスタの n 倍の電流駆動能力を有する補助トランジスタを接続し、選択期間の一部（加速期間）において補助トランジスタにもドレイン電流が流れるようにするとともに信号線を通る信号電流自体も $(n+1)$ 倍となるようにすることにより、保持容量や寄生容量の充放電が速やかに行われるようになり、駆動トランジスタのゲート電位が選択期間中に確実に所定電位に到達するようになって、信号電流（入力信号）が微小なときでも適正な駆動電流で電流駆動素子を駆動できるようになる、という効果がある。したがって、電流駆動素子が有機EL素子である場合には、意図した通りの駆動電流で有機EL素子が駆動されることになるので、表示画質の劣化が防止される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の駆動回路を示す回路図である。

【図2】図1に示す駆動回路から構成される画像表示装置を示す回路図である。

【図3】図1及び図2に示す回路の動作を示すタイミングチャートである。

【図4】駆動トランジスタとその駆動トランジスタに並列に設けられる補助トランジスタの動作特性を示すグラフである。

【図5】図1に示す回路における信号電流 I_{in} と駆動電流 I_{drv} との関係を示すグラフである。

【図6】図1及び図2に示す回路の変形例を示す回路図である。

【図7】図6に示す回路の動作例を示すタイミングチャートである。

【図8】図1に示す回路のさらに別の変形例を示す回路図である。

【図9】本発明の第2の実施の形態の駆動回路を示す回路図である。

【図10】図9に示す駆動回路から構成される画像表示装置を示す回路図である。

【図11】図9及び図10に示す回路の動作を示すタイミングチャートである。

【図12】図9及び図10に示す回路の変形例を示す回路図である。

【図13】図12に示す回路の動作例を示すタイミングチャートである。

【図14】図9に示す回路のさらに別の変形例を示す回路図である。

【図15】本発明の第3の実施の形態の駆動回路を示す回路図である。

【図16】図15に示す駆動回路から構成される画像表示装置を示す回路図である。

【図17】図15及び図16に示す回路の動作を示すタイミングチャートである。

【図18】図15及び図16に示す回路の変形例を示す回路図である。

【図19】図18に示す回路の動作例を示すタイミングチャートである。

【図20】図15に示す回路のさらに別の変形例を示す回路図である。

【図21】従来の駆動回路の構成の一例を示す回路図である。

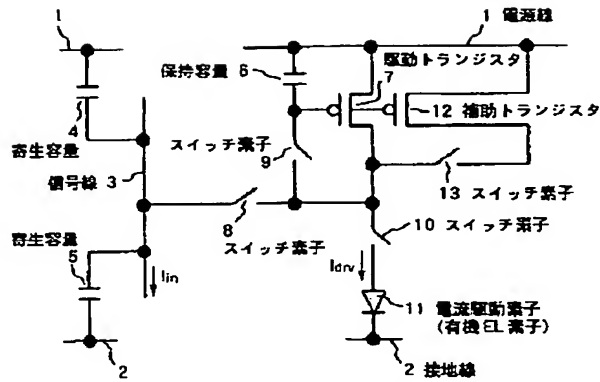
【図22】図21に示す回路の動作を示すタイミングチャートである。

【図23】図21に示す回路における信号電流 I_{in} と駆動電流 I_{drv} との関係を示すグラフである。

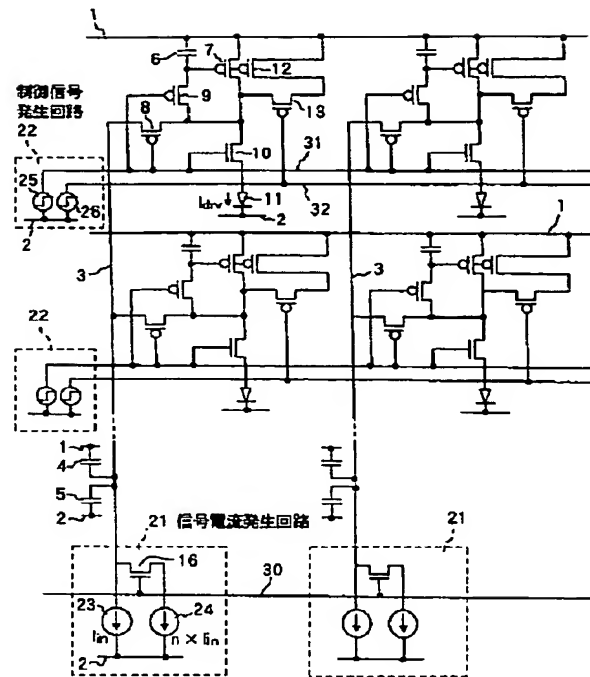
【符号の説明】

- 1 電源線
- 2 接地線
- 3 信号線
- 4, 5 寄生容量
- 6 保持容量
- 7 駆動トランジスタ
- 8～10, 13, 14, 16 スwitch素子
- 11 電流駆動素子
- 12 補助トランジスタ
- 15 電圧線
- 21 信号電流発生回路
- 22 制御信号発生回路
- 23, 24 電流源
- 25～27 信号ドライバ
- 30～34 制御線

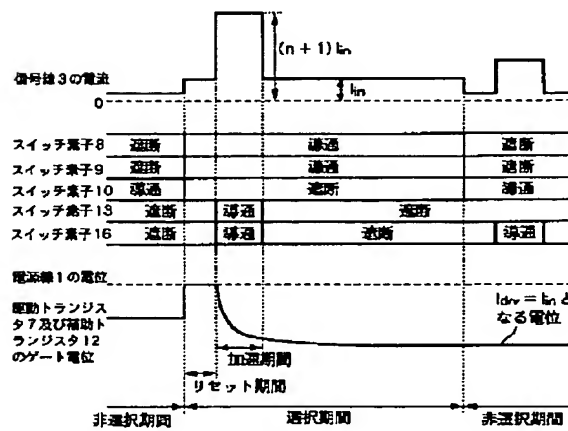
【図1】



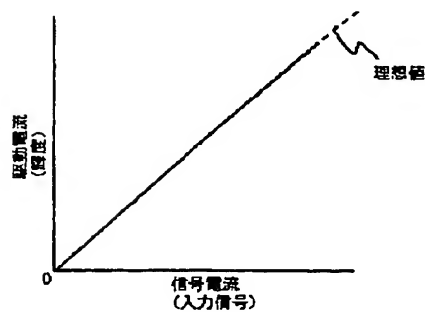
【図2】



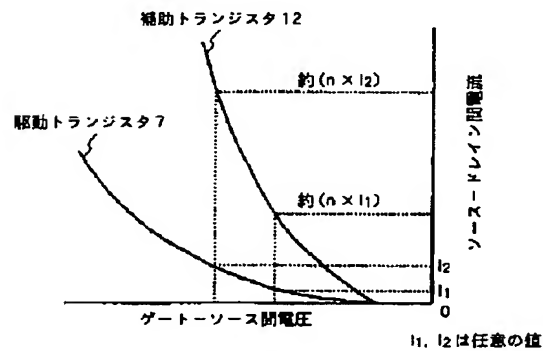
【図3】



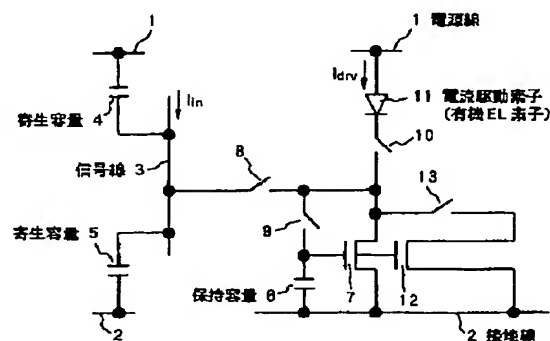
【図5】



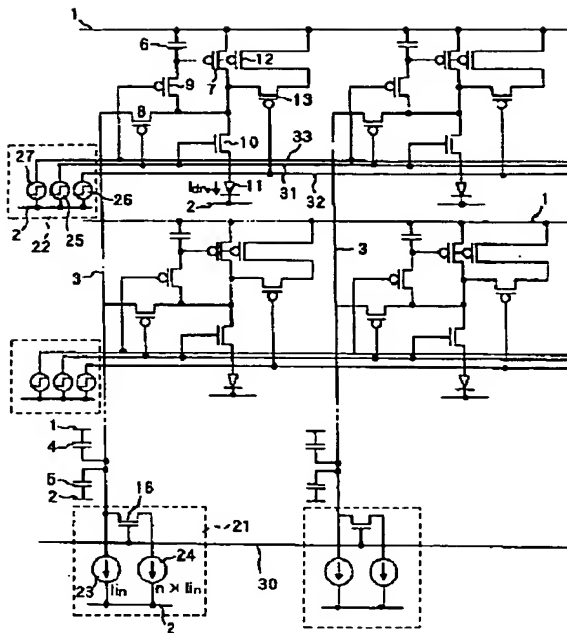
【図4】



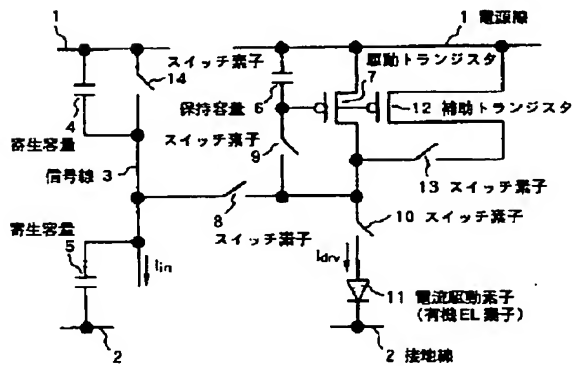
【図8】



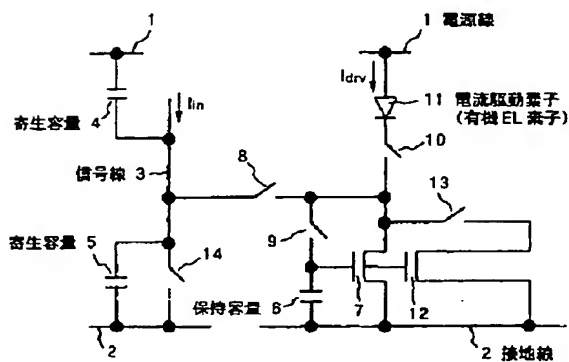
【図6】



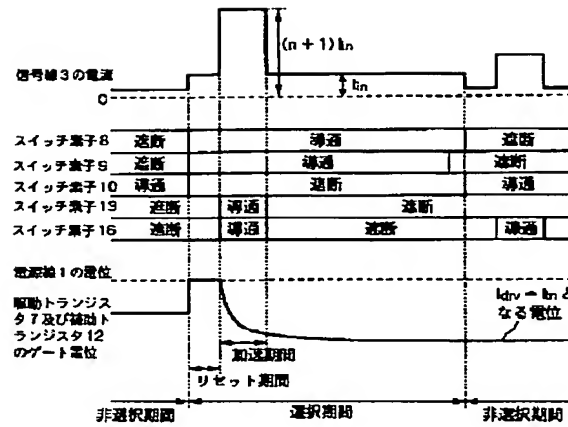
【図9】



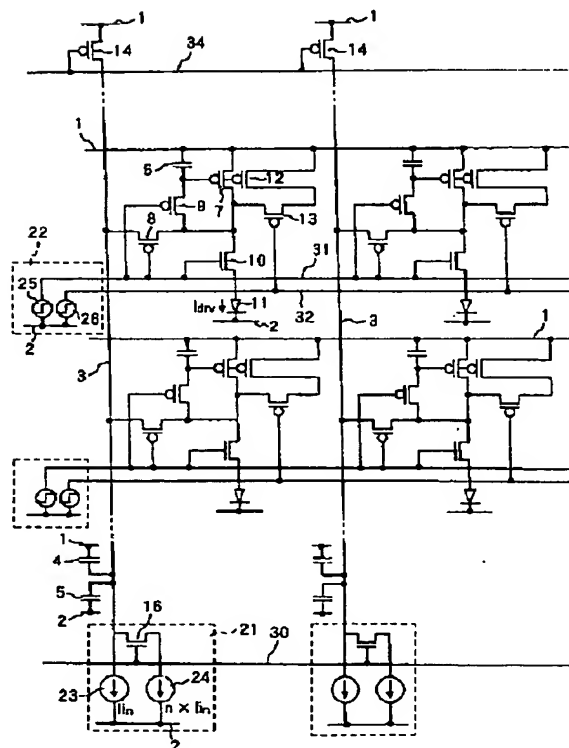
【図14】



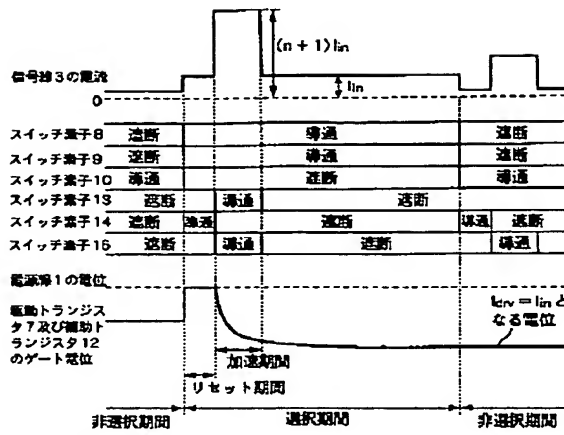
【図7】



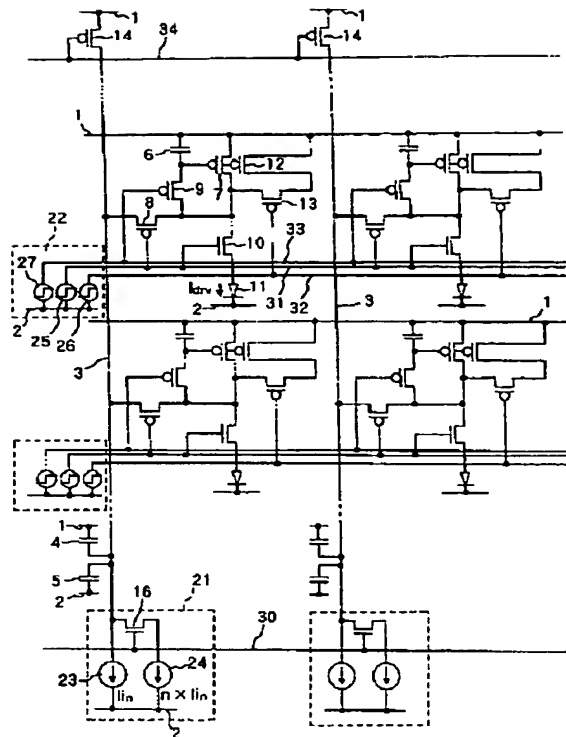
【図10】



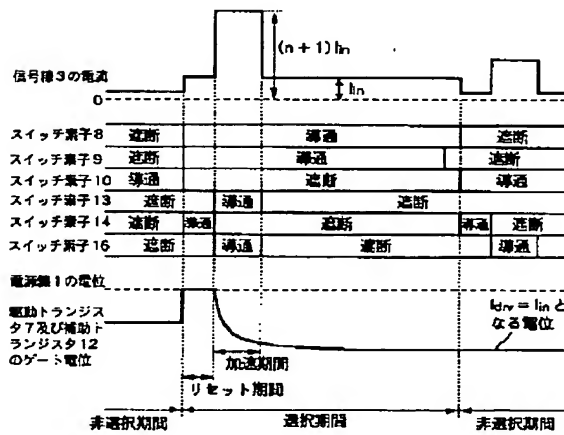
【図11】



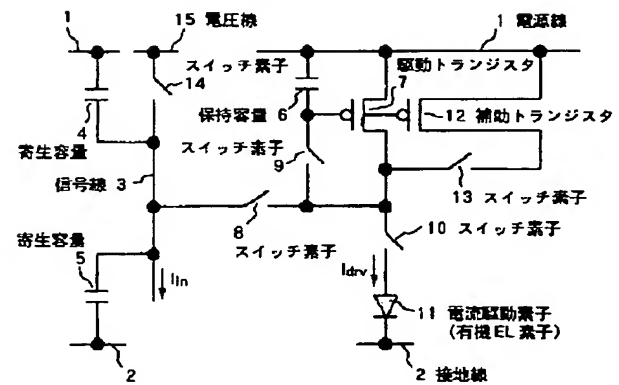
【図12】



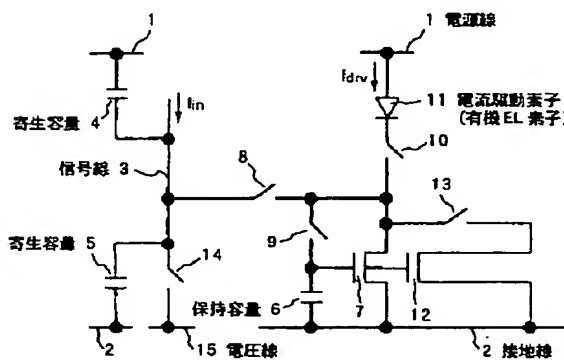
【図13】



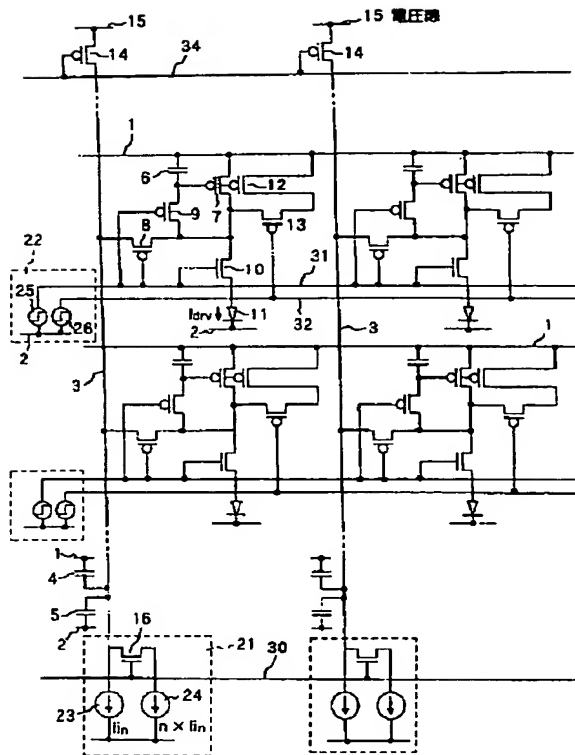
【図15】



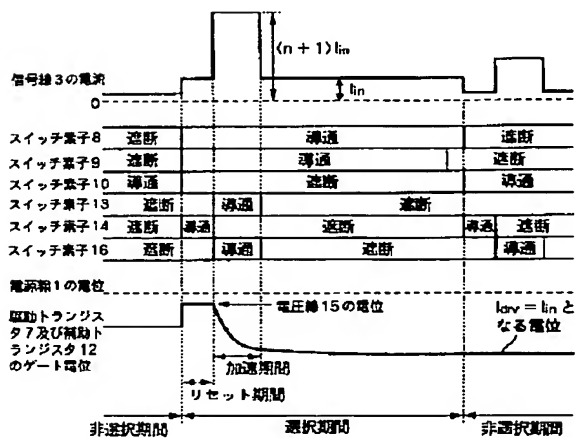
【図20】



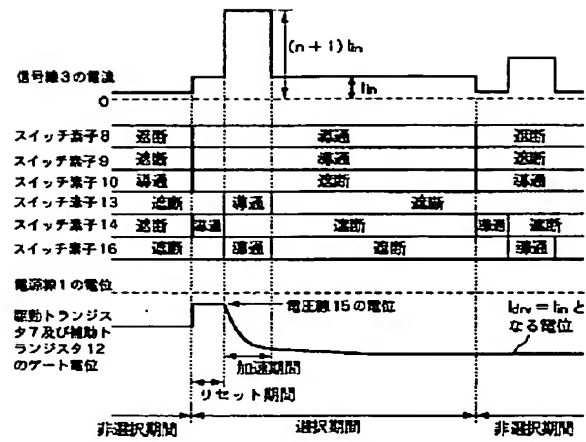
【図16】



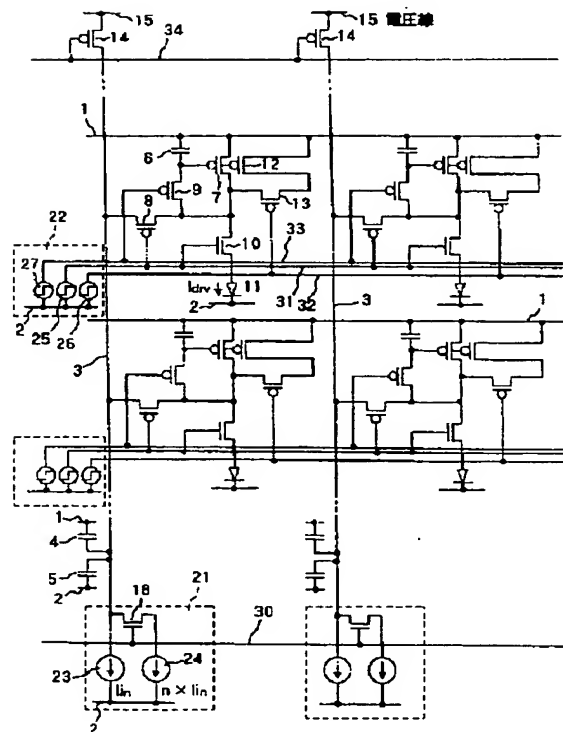
【図19】



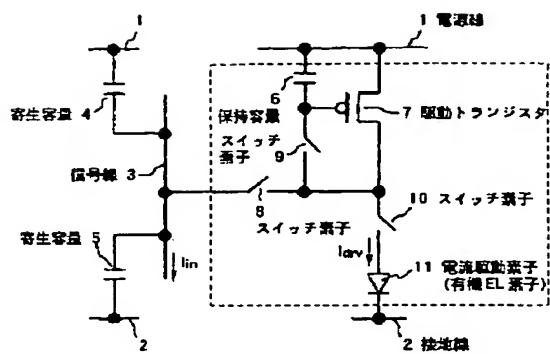
【図17】



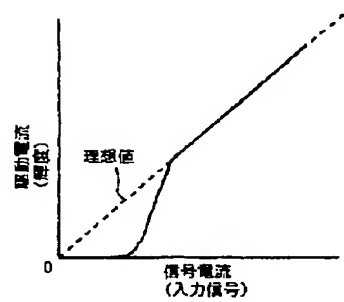
【図18】



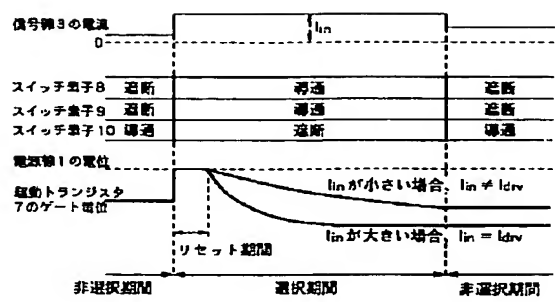
【図21】



【図23】



【図22】



フロントページの続き

(51) Int. Cl.⁷
H05B 33/14

識別記号

F I
H05B 33/14

テーマコード(参考)
A